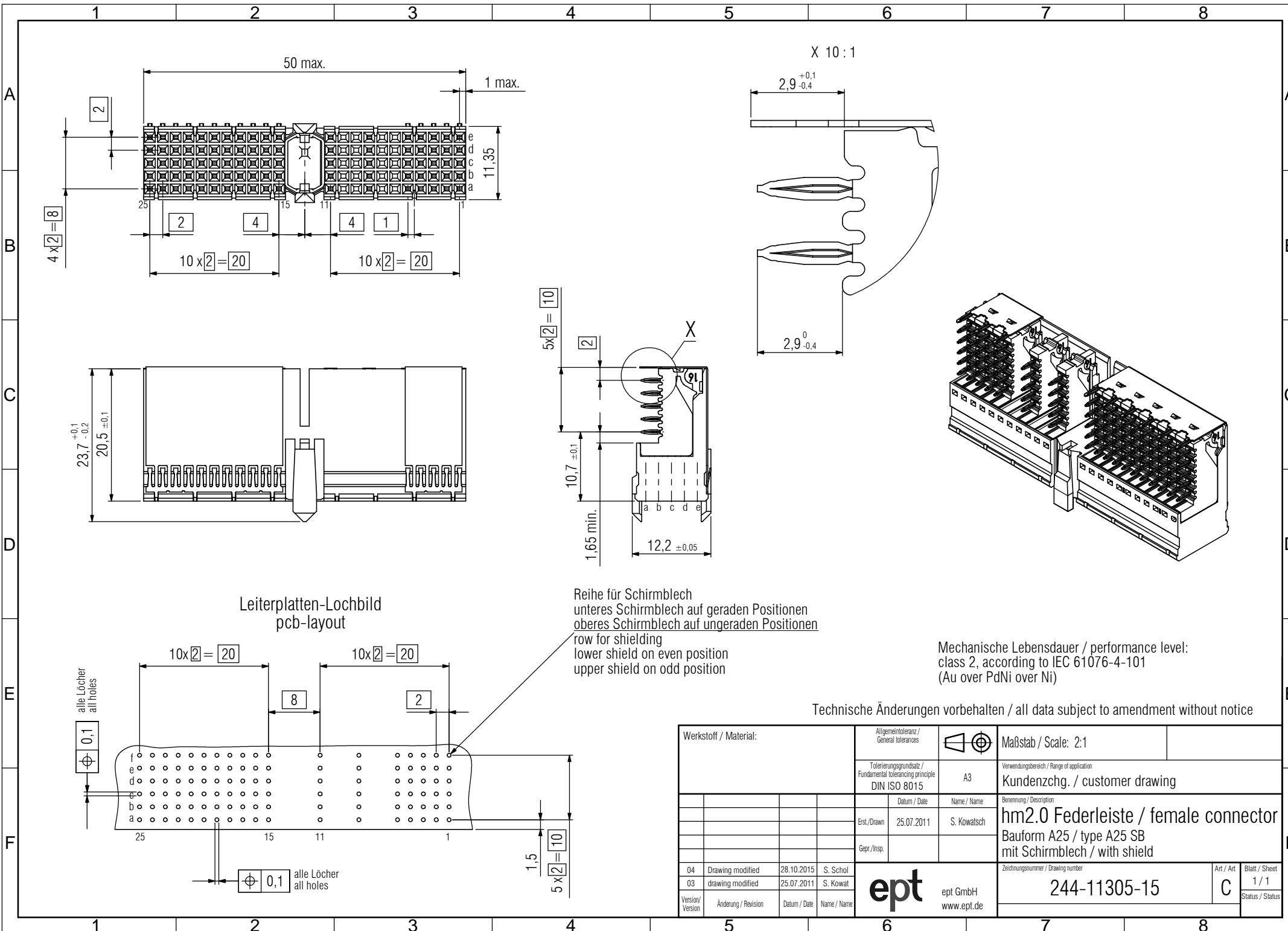


© Weitergabe sowie Vervielfältigung dieses Dokuments, Verwertung und Mitteilung seines Inhalts sind verboten, soweit nicht ausdrücklich gestattet.
 © The reproduction, distribution and utilization of this document as well as the communication of its contents to others without express authorization is prohibited. Offenders will be held liable for the payment of damages. All rights reserved in the event of the grant of a patent, utility model or design.
 Wiederherstellungen verpflichten zu Schadensersatz. Alle Rechte für den Fall der Patent-, Gebrauchsmuster- oder Geschmacksmusterertragung vorbehalten.



Leiterplatten-Lochbild
pcb-layout

Reihe für Schirmblech
unteres Schirmblech auf geraden Positionen
oberes Schirmblech auf ungeraden Positionen
row for shielding
lower shield on even position
upper shield on odd position

Mechanische Lebensdauer / performance level:
class 2, according to IEC 61076-4-101
(Au over PdNi over Ni)

Technische Änderungen vorbehalten / all data subject to amendment without notice

Werkstoff / Material:		Allgemeintoleranz / General tolerances		Maßstab / Scale: 2:1	
		Tolerierungsgrundsatz / Fundamental tolerancing principle DIN ISO 8015		A3 Verwendungsbereich / Range of application Kundenzchg. / customer drawing	
		Datum / Date		Name / Name	
		Erst./Drawn		S. Kowatsch	
		Gepr./Insp.			
04 Drawing modified		28.10.2015		S. Schol	
03 drawing modified		25.07.2011		S. Kowat	
Version/ Version		Änderung / Revision		Datum / Date	
		Name / Name		ept GmbH www.ept.de	
		Zeichnungsnummer / Drawing number		Art / Art Blatt / Sheet	
		244-11305-15		C 1/1	
				Status / Status	