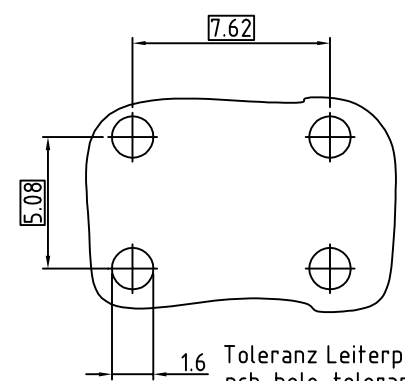
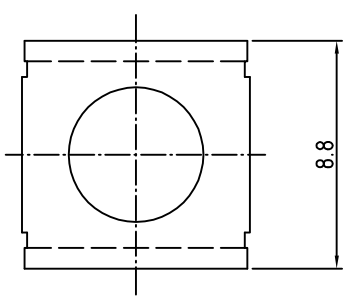
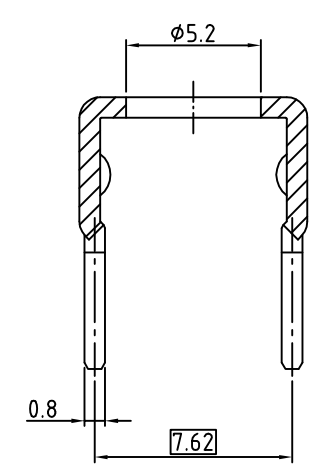
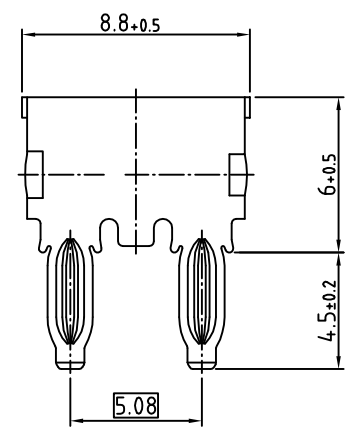


© Weitergabe sowie Vervielfältigung dieses Dokuments, Verwertung und Mitteilung seines Inhalts sind  
 untersagt, soweit nicht ausdrücklich gestattet. Zuwidergehungen verpflichten zu Schadensersatz.  
 Alle Rechte vorbehalten. Patent-, Gebrauchsmuster- oder Schutzrechtsantrag eingereicht.



Toleranz Leiterplattenloch siehe ept-Katalog /  
 pcb-hole-tolerance see ept-catalogue

Werkstoff / Material: CuSn6		Allgemeintoleranz / General Tolerances		Maßstab / Scale: 5:1	
Oberfläche / surface: min. 2µm Sn		Toleranzgrundsatz / Fundamental tolerancing principle DIN ISO 8015		Verwendungsbereich / Range of application A3	
		Datum / Date		Benennung / Description	
		Erst/Drawn		Kundenzeichnung / customer drawing	
		Gepr./Insp.		Power-Anschluß / power contact ohne Flachsteckanschluß Ø 5,2 without male spade connector Ø 5,2	
01 drawing modified 16.01.2015 Scholl		ept ept GmbH www.ept.de		Zeichnungsnummer / Drawing number 910-22020	
Änderung / Revision Datum/Date/Name/Name				Art / Art Blatt / Sheet C 1/1 Status/Status	
				Gewicht / Weight:	